

## MHB 1902 STATICKÁ CMOS PAMĚŤ 1024×1 BIT MHB 1902C

ВОСЕМЬ НЕИНВЕРТУЮЩИХ ДРАЙВЕРОВ ШИНЫ • EIGHT NON-INVERT TRI-STATE BUS DRIVERS • ACHT NICHT INWERTIE-  
RENTRI-STATE BUS TREIBER

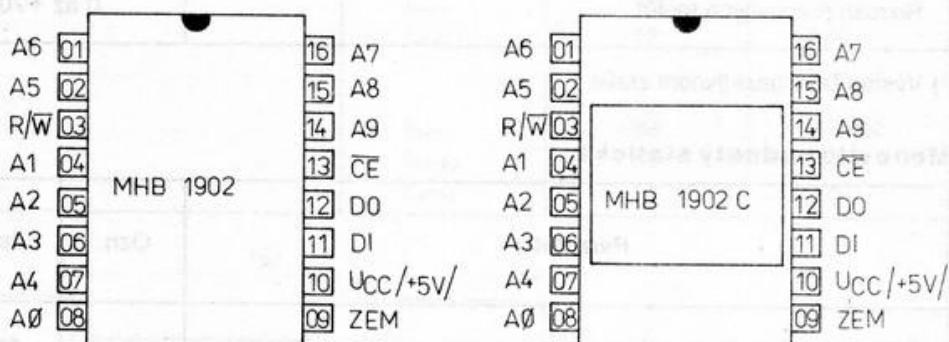
Puzdro: DIL 16

Organizácia pamäti: 1024×1 bit

Technológia výroby: CMOS

Stupeň integrácie: IO4

Hmotnosť: max. 1,4 g



Zapojenie vývodov

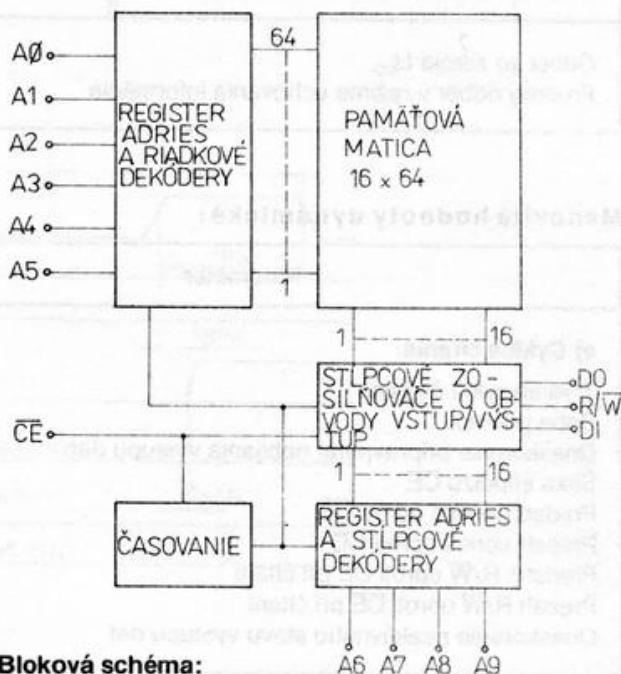
### Pamäť sa vyznačuje:

- je priamo zlúčiteľná s obvodmi TTL
- nízkou hodnotou odberu prúdu zo zdroja napájacieho napäťia
- pri režime zápisu alebo čítania napájacieho napäťia  $U_{CC}$  má hodnotu +5 V, ktoré v režime uchovania informácie [DATA RETENTION] možno znížiť až na hodnotu  $U_{CCdr} = 2,5$  V bez straty informácie zapísanej do pamäťovej matice
- organizácia pamäťovej matice v 64 riadkoch po 16 buniek

### Popis funkcie

Obvod MHB 1902 je statická pamäť CMOS RAM s kapacitou 1024×1 bit. Je priamo zlúčiteľný s obvodmi TTL. Vyznačuje sa veľmi nízkou hodnotou odberu prúdu zo zdroja napájacieho napäťia. Pri režime zápisu, aiebo čítania napájacie napätie  $U_{CC}$  má hodnotu +5 V, ktoré v režime uchovania informácie (DATA RETENTION) možno znížiť až na hodnotu  $U_{CCdr} = 2,5$  V bez straty informácie zapísanej do pamäťovej matice.

Pamäťová matica je organizovaná v 64 riadkoch po 16 buniek. Pamäťová bunka je modifikáciou šest-tranzistorovej statickej bunky s komplementárnymi tranzistorami. Zápis informácie do pamäťovej bunky, resp. čítanie stavu pamäťovej bunky sa deje cez samostatné zosilňovače pre jednotlivé stĺpce. Riadkové a stĺpcové dekodéry sú riadené z adresných registrov, pričom zápis adresy riadku ( $A_0 \div A_5$ ) do registra riadkových adres a zápis adresy stĺpca ( $A_6 \div A_9$ ) do registra stĺpcových adres je riadený signálom odvodeným z tylovej hrany signálu  $\overline{CE}$ . Adresa musí byť ustálená pred zmenou signálu  $\overline{CE}$  z úrovne H na L a počas trvania zapisovacieho impulu do adresných registrov (časy  $t_{AS}$  a  $t_{AH}$ ). Obvod vstup – výstup je umiestnený v bloku stĺpcových zosilňovačov. Signál pre riadenie dekodérov adres, stĺpcových zosilňovačov a obvodu vstup – výstup je odvodený zo signálu  $\overline{CE}$  v bloku časovania. Režim zápisu a čítanie je riadený signálom R/W. Vstup a výstup dát (D1, D0) sú navzájom oddelené, pričom výstup dát počas cyklu zápisu dát je v neaktívnom stave.



Bloková schéma:

A6 A7 A8 A9

**Medzné hodnoty:**

Parameter	Hodnota	Poznámka
Napätie jednotlivých prívodov oproti prívodu č. 9 Stratový výkon Rozsah pracovných teplôt	-0,3 až +7,0 V 500 mW 0 až +70 °C	<sup>1)</sup>

<sup>1)</sup> Výstup D0 v neaktívnom stave.

**Menovité hodnoty statické:**

$$U_{CC} = 4,75 \div 5,25 \text{ V}, \vartheta_a = 0 \text{ až } +70^\circ\text{C}$$

Parameter	Ozn.	Jed.	Hodnota		Pozn.
			min.	max.	
Odber zo zdroja $U_{CC}$	$I_{CC}$	mA		1,0	<sup>1)</sup>
Vstupný zvodový prúd	$I_i$	µA		15	<sup>2)</sup>
Vstupné napätie nízkej úrovne	$U_{IL}$	V		0,8	
Vstupné napätie vysokej úrovne	$U_{IH}$	V	$U_{CC} - 1,5$		
Zvodový prúd výstupu v neaktívnom stave	$I_o$	µA		15	<sup>3)</sup>
Výstupné napätie nízkej úrovne	$U_{OL}$	V		0,5	<sup>4)</sup>
Výstupné napätie vysokej úrovne	$U_{OH}$	V		3,8	<sup>5)</sup>
Napájacie napätie v režime uchovania informácie	$U_{CCdr}$	V		2,5	<sup>6)</sup>
Prúdový odber v režime uchovania informácie	$I_{CCdr}$	µA		250	<sup>6)</sup>

<sup>1)</sup>  $U_i = 5,25 \text{ V}$

<sup>2)</sup>  $U_i = 0 \text{ až } U_{CC}$

<sup>3)</sup>  $U_o = 0 \text{ až } U_{CC}$

<sup>4)</sup>  $I_{OL} = 1,6 \text{ mA}$

<sup>5)</sup>  $I_{OH} = -1,0 \text{ mA}$

<sup>6)</sup>  $U_{CE} = U_{CC}, U_i = 0$

**Informatívne hodnoty statické:**

$$U_{CC} = 5,0 \text{ V}; \vartheta_a = +25^\circ\text{C}$$

Parameter	Ozn.	Jedn.	Hodnota
Odber zo zdroja $U_{CC}$	$I_{CC}$	µA	100
Prúdový odber v režime uchovania informácie	$I_{CCd}$	µA	10

**Menovité hodnoty dynamické:**

$$U_{CC} = +5,0 \text{ V}; C_L = 50 \text{ pF}; \vartheta_a = +25^\circ\text{C}$$

Parameter	Ozn.	Jedn.	Hodnota
<b>a) Cyklus čítania:</b>			
Trvanie cyklu čítania	$t_{RC}$	ns	$\geq 1000$
Doba prístupu	$t_{ACC}$	ns	$\leq 800$
Oneskorenie prípravného nabijania výstupu dat	$t_{DP}$	ns	$\geq 150$
Šírka impulzu CE	$t_{PW}$	ns	$\geq 120$
Predstih adresy oproti CE	$t_{AS}$	ns	$\geq 0$
Presah adresy oproti CE	$t_{AH}$	ns	$\geq 200$
Predstih R/W oproti CE pri čítaní	$t_{RS}$	ns	$\geq 0$
Presah R/W oproti CE pri čítaní	$t_{RH}$	ns	$\geq 50$
Oneskorenie neaktívneho stavu výstupu dat	$t_{DH}$	ns	$\leq 150$

T y p	D r u h	Pouzdro
MHB1902	Statická paměť CMOS RAM $1024 \times 1$ bit, organizace paměťové matice $64 \times 16$ buňek, vstup a výstup dat je oddělen, výstup tristavový hradlovaný signálem CE. Provoz pro uchování informace vyžaduje napájecí napětí min. 2,5 V. Typ MHB1902C je v keramickém pouzdru.	IO—18
MHB1902C		IO—18/C
MHB2102	Statická paměť NMOS RAM $1024 \times 1$ bit, organizace paměťové matice $32 \times 32$ , vstup a výstup dat je oddělen, výstup tristavový aktivovaný signálem CE.	IO—14A
MHB2102/2		
MHB2114	Statická paměť NMOS RAM $1024 \times 4$ bytů s polykrystalickým hradlem, organizace paměťové matice $64 \times 16$ , vstup a výstup dat je společný, výstup tristavový. Systém obsahuje vnitřní blok generátoru předpěti substrátu, pracujícího na principu nábojové pumpy (Charge Pump), který je připraven k provozu asi $500 \mu s$ po připojení napájecího napětí $U_{CC}$ .	IO—18/1
MHB2500 řada	Statické pevné paměti ROM 2560 bitů, vyrobené technologií MNOS na křemikové podložce typu N s tranzistory s kanálem P; mohou pracovat s organizačí 256 slov po 10 bitech nebo 512 slov po 5 bitech. Výstupy tristavové, hradlované signálem CS. Organizace, obsah paměti a nastavení signálů CS se vkládají během výroby přepojovací maskou.	IO—15/1
MHB2501	Generátor alfanumerických znaků v latinské abecedě; kód znaků ASCII odpovídá ČSN 36 8802, RVHP RS 2175-69. Organizace paměti $512 \times 5$ , matice znaku $5 \times 7$ .	
MHB2501A		
MHB2502	Generátor alfanumerických znaků v ruské abecedě; kód znaků odpovídá normě RVHP RS 2175-69. Organizace paměti $512 \times 5$ , matice znaku $5 \times 8$ .	
MHB2502A		
MHB2503	Převodník sedmibitového kódu ISO/7 na dálnopisný kód CCIT2 nebo CCIT2 na ISO/7. Organizace $256 \times 10$ .	
MHB4116	Dynamická paměť NMOS RAM $16\,384 \times 1$ bit s paměťovou maticí rozdělenou na dvě symetrické části po $64 \times 128$ sloupcích. Paměťová buňka jednotranzistorová s paměťovou kapacitou. Paměť vyžaduje obnovení informace vždy po 2 ms činnosti a to 128 cykly čtení nebo prázdnými cykly. Výstup tristavový.	IO—14A
MHB4116C		IO—18/C
MHB8608	Statická paměť NMOS PROM $1024 \times 8$ bitů naprogramovaná výrobcem. Vstupy a výstupy jsou plně slučitelné s obvody TTL. Výstupy tristavové, aktivují se signálem pro výběr obvodu CS.	IO—15/1
MHB8708C	Programovatelná paměť NMOS EPROM $1024 \times 8$ bitů s možností mazání obsahu paměti ultrafialovým světlem s vlnovou délkou max. $0,4 \mu m$ . Dávka energie pro mazání min. $15 W\cdot cm^{-2}$ při zdroji záření $0,2537 \mu m$ . Při provozu čtení je funkce obvodu plně statická. Vstupy a výstupy slučitelné s obvody TTL. Výstupy tristavové, aktivují se signálem CS.	IO—15/2

